

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-020348

(43)Date of publication of application : 29.01.1986

(51)Int.Cl.

H01L 21/82

H01L 27/04

(21)Application number : 59-141148

(71)Applicant : HITACHI LTD

(22)Date of filing : 06.07.1984

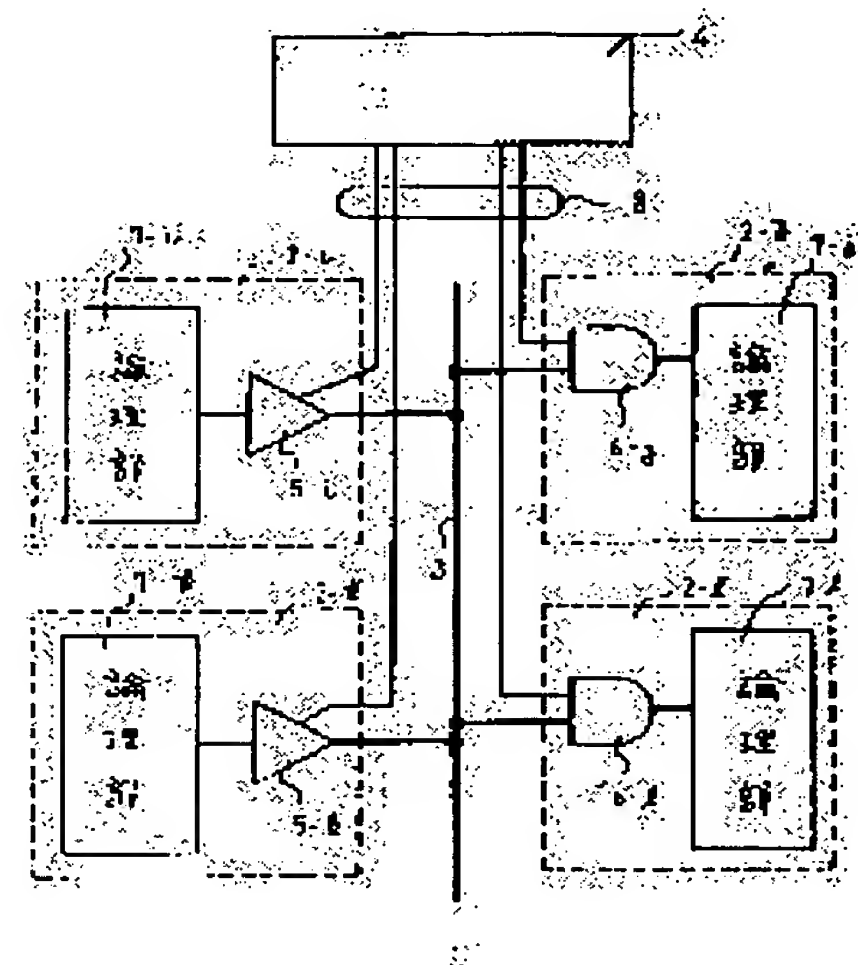
(72)Inventor : BANDO TADAAKI
MATSUMOTO HIDEKAZU
YAMAGUCHI SHINICHIRO

(54) LSI ASSEMBLAGE

(57)Abstract:

PURPOSE: To easily separate defective blocks by a method wherein a gate to control the output of signals of an LSI block to the internal bus is added to the part of input-output from the LSI block to the internal bus.

CONSTITUTION: In an LSI assemblage, a plurality of blocks lie in a wafer or chip and are connected to the internal bus. Therefore, defective blocks can be separated by providing the input-output of each block with a gate and then closing the gate of a defective block. The quality data of blocks is stored in an EPROM, and when the gate is controlled thereby, defective blocks can be suitably separated in generation of defective blocks. For example, output gates 5-i, 5-k; input gates 6-j, 6-l are provided in blocks 2-i, 2-j, 2-k, and 2-l.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

⑤ Int. Cl.

H 01 L 21/82
27/04

識別記号

庁内整理番号

6655-5F
Z-7514-5F

④ 公開 昭和61年(1986)1月29日

審査請求 未請求 発明の数 1 (全3頁)

⑬ 発明の名称 LSI 集合体

①

⑭ 特 願 昭59-141148

⑮ 出 願 昭59(1984)7月6日

⑯ 発 明 者 坂 東 忠 秋 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内

⑰ 発 明 者 松 本 秀 和 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内

⑱ 発 明 者 山 口 伸 一 郎 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 高橋 明夫 外2名

【産業上の利用分野】

不良ブロックをウエハ内の他の正常なブロックから切り離すのに好適な、ブロック分離方法に関する

【発明の目的】

配線の切断と言った物理的手段ではなく、ゲートなどによる論理的な分離手段を提供する

【発明の効果】

各ブロック入出力に、入出力ゲートを設け、これらを制御するEPROMをWSI内に作成するだけの少ないハードウェアの増加で、容易に不良ブロックの分離が出来る。予備のブロックが無くなるまで、1つのWSIを活用できるため、信頼性、経済性の高いWSIが可能である

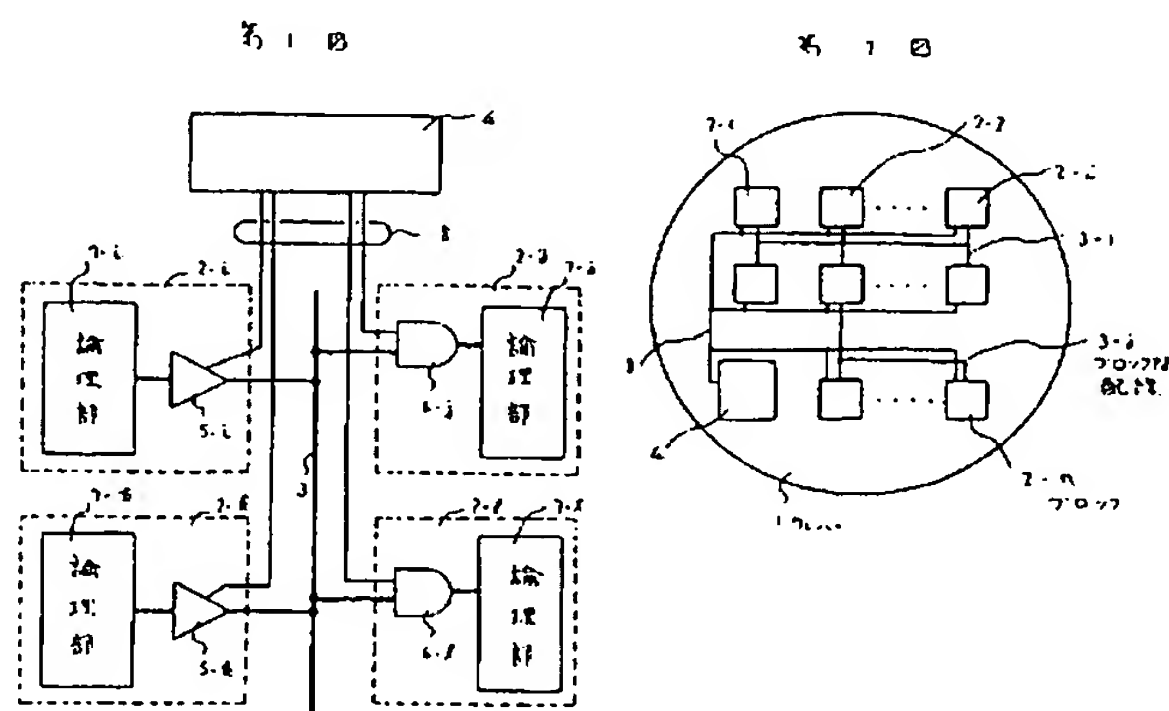
特許請求の範囲

1. 複数のゲート、メモリ等から構成されるひとつの連続した複数個のLSIブロックと各LSIブロック間を接続する内部バスより成るLSI集合体に於て、LSIブロックから内部バスへの入出力部分に、LSIブロックの信号を内部バスに出力するか否かを制御するゲートを付加したことを特徴とするLSI集合体。

2. 特許請求の範囲第1項に於て、LSIブロックの入出力部分に付加された制御ゲートを制御するために、各LSIブロックが正常か不良かの情報を保持する書き換え可能なROMを備え、該ROMの出力によつて制御ゲートを制御することを特徴とするLSI集合体。

3. 特許請求の範囲第2項に於て、該ROMは、書き込み可能なPROMとしたことを特徴とするLSI集合体。

4...EPROM、5...出力ゲート、6...入力ゲート、7...ブロック内の主要論理、8...入出力ゲートの制御信号。



図面の簡単な説明

第1図は、WSI内の一部份の構成を示した図、
第2図は、WSIの全体構成図である。

2...ブロック、3...ブロック間配線(内部バス)、